



Ifw

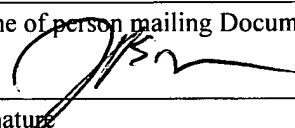
IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to:  
Commissioner for Patents, P.O. Box 1450,  
Alexandria, VA 22313-1450 on March 16, 2006  
(Date of Deposit)

Harold C. Moore

Name of person mailing Document or Fee

  
Signature

March 16, 2006

Date of Signature

Re:	Application of:	Brox et al.
	Serial No.:	10/748,711
	Filed:	December 30, 2003
	For:	Delay Locked Loop and a Method for Delay Control
	Group Art Unit:	2816
	Confirmation No.:	2105
	Examiner:	An T. Luu
	Our Docket No.:	1890-0030

**SUBMISSION OF PRIORITY DOCUMENT**

Please find for filing in connection with the above patent application a certified copy of the priority document, Certified Copy of German Application Number 102 61 409.1.

Please charge any fee deficiency or credit any overpayment to Deposit Account  
No. 13-0014.

Respectfully submitted,



March 16, 2006

Harold C. Moore  
Registration No. 37,892  
Maginot, Moore & Beck  
Chase Tower  
111 Monument Circle, Suite 3250  
Indianapolis, IN 46204-5115

Enclosures

**BUNDESREPUBLIK DEUTSCHLAND**



**Prioritätsbescheinigung über die Einreichung  
einer Patentanmeldung**

**Aktenzeichen:** 102 61 409.1  
**Anmeldetag:** 30. Dezember 2002  
**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE  
**Bezeichnung:** Verzögerungsregelschleife und Verfahren zur  
Verzögerungsregelung  
**IPC:** H 03 L, H 03 K

**Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ur-  
sprünglichen Unterlagen dieser Patentanmeldung.**

München, den 17. Dezember 2003  
**Deutsches Patent- und Markenamt**

**Der Präsident**  
Im Auftrag

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

Agurko

## Beschreibung

### Verzögerungsregelschleife und Verfahren zur Verzögerungsregelung

5

Die vorliegende Erfindung betrifft allgemein ein Verfahren und eine Vorrichtung zur Bereitstellung von Taktsignalen in Schaltungseinheiten, und betrifft insbesondere ein Verfahren und eine Vorrichtung zur Verzögerungsregelung von Taktsignalen innerhalb von Schaltungseinheiten, welche auf ein externes Taktsignal zeitlich bezogen sind und bei stark unterschiedlichen Frequenzen arbeiten müssen.

10

15

Die zunehmenden Packungsdichten und Baugrößen von integrierten Schaltungen schaffen einen Bedarf, eine Taktsignalverteilung und eine Taktsignalverzögerung direkt auf dem Chip äußerst präzise bereitzustellen. Für eine einstellbare Zeitgebung hinsichtlich der verwendeten Taktsignale werden Phasenregelschleifen (PLL: Phase Locked Loop) und Verzögerungsregelschleifen (DLL: Delay Locked Loop) eingesetzt.

20

Für diese Aufgaben werden in herkömmlicher Weise Verzögerungsregelschleifen (DLL) bevorzugt, da sie einfacher zu kontrollieren sind als Phasenregelschleifen (PLL).

25

Verzögerungsregelschleifen erlauben es auf dem Chip Taktsignale in beliebigem zeitlichen Verhältnis zum externen Takt einzustellen. Ein typisches Ziel ist es dabei, für die Datenausgabe eines Chips eine nominale Zeitverzögerung von Null einzustellen.

30

Eine herkömmliche Verzögerungsregelschleife für einen SDRAM unter Verwendung digitaler Komponenten ist beispielsweise in der Publikation "IEEE, Journal of Solid-State Circuits, Bd. 32, Seiten 1728-1735, November 1997, beschrieben.

35

Ein wesentlicher Nachteil bekannter Verzögerungsregelschleifen besteht darin, dass die Verzögerungsregelschleife im Wesentlichen eine Verzögerungsleitung ist, die den externen Takt intern interpolieren muss, wodurch sie in der Lage sein muss, sich an Eingangssignale sämtlicher möglicher Frequenzen anzupassen. Dies hat zur Folge, dass eine Zeitverzögerung in einer Verzögerungsleitung länger als ein Taktzyklus bei der niedrigsten Frequenz sein muss.

Weiterhin ist es notwendig, für höhere Frequenzen eine hohe Auflösung bereitzustellen, um eine gute Datenanpassung zu erreichen. Eine Abdeckung von niedrigen und hohen Frequenzen mit der gleichen Verzögerungsregelschleife bedeutet, dass die Verzögerungsleitung sehr viele Verzögerungselemente einschließen muss. Wird beispielsweise eine Verzögerungszeit-Auflösung von 25 Pikosekunden (ps) gefordert, und wird eine Gesamtverzögerung der Verzögerungsleitung von 20 ns gewünscht, so ist in Reihe eine Anzahl von  $N = 20 \text{ ns} / 25 \text{ ps} = 800$  Einzelelementen erforderlich. Eine derartige hohe Anzahl an Verzögerungselementen bringt weitere Probleme mit sich, wie beispielsweise große Schaltungsauslegungen und übermäßige Energieaufnahme. Weitere Probleme entstehen dann mit der Signalzeitgebung und der Schaltungsauslegung für eine Struktur mit vielen Elementen.

Es ist daher eine Aufgabe der vorliegenden Erfindung, eine Verzögerungsregelschleife bereitzustellen, welche gleichermaßen für niedrige und hohe Frequenzen einsetzbar ist und welche einen einfachen Schaltungsaufbau aufweist.

Diese Aufgabe wird erfindungsgemäß durch eine Verzögerungsregelvorrichtung mit den Merkmalen des Patentanspruchs 1 gelöst. Ferner wird die Aufgabe durch ein im Patentanspruch 10 angegebenes Verfahren gelöst.

Weitere Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen. Ein wesentlicher Gedanke der Erfindung be-

steht darin, eine Vorkenntnis über den Frequenzbereich zu erlangen, in welchem ein zu verzögerndes Eingangssignal liegt. Mit einer derartigen Kenntnis wird eine Grobeinstellung einer Verzögerungszeit vorgenommen, während die Feineinstellung in herkömmlicher Weise durch eine Verzögerungsregelschleife durchführbar ist.

Der Kern der Erfindung besteht in der Bereitstellung einer zusätzlichen Frequenzerfassungseinheit, welche auf eine Verzögerungszeit eines zweiten, in Serie zu dem herkömmlichen Verzögerungselement geschalteten Verzögerungselement wirkt. Auf diese Weise ist eine flexible Verzögerungszeitregelung für niedrige und hohe Frequenzen gleichermaßen ermöglicht, wobei ein einfacher Schaltungsaufbau verwirklicht ist.

Die erfindungsgemäße Verzögerungsregelvorrichtung zur Bereitstellung von Taktsignalen in Schaltungseinheiten, wobei die Taktsignale innerhalb der Schaltungseinheiten auf ein externes Taktsignal bezogen zeitlich variabel vorgebbar sind, weist im Wesentlichen auf:

a) eine Verzögerungseinrichtung, umfassend ein erstes Verzögerungselement zur Bereitstellung einer variablen Zeitverzögerung zwischen einem Ausgangssignal und einem Eingangssignal des ersten Verzögerungselementes;

b) eine Rückkopplungseinrichtung, welcher das Ausgangssignal zugeführt wird, zur Rückkopplung des Ausgangssignals, wobei die Rückkopplungseinrichtung ein zeitverzögertes, rückgekoppeltes Ausgangssignal ausgibt; und

c) eine Phasendifferenzfassungseinrichtung zur Erfassung einer Phasendifferenz zwischen dem Eingangssignal und dem rückgekoppelten Ausgangssignal, wobei die Phasendifferenzfassungseinrichtung ein Steuersignal zur Steuerung des Verzögerungselementes in Abhängigkeit von der erfassten Phasendifferenz ausgibt, wobei die Verzögerungsregelvorrichtung weiter

mindestens ein in Reihe zu dem ersten Verzögerungselement geschaltetes zweites Verzögerungselement und eine Frequenzerfassungseinheit zur Erfassung der Frequenz des Eingangssignals aufweist, wobei das zweite Verzögerungselement in Abhängigkeit von der erfassten Frequenz des Eingangssignals einstellbar ist.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des jeweiligen Gegenstandes der Erfindung. Gemäß einer bevorzugten Weiterbildung der Erfindung weist die Verzögerungsregelvorrichtung eine Filterungseinrichtung zur Filterung des von der Phasendifferenzfassungseinrichtung ausgegebenen Steuersignals auf.

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung weist die Rückkopplungseinrichtung eine Zeitverzögerung auf, welche der Summe einer im Empfänger verursachten Empfängerzeitverzögerung und einer im Treiber (OCD, Off Chip Driver) verursachten Treiberzeitverzögerung entspricht, d.h.  $\text{Summe} = \text{Trcv} + \text{Tocd}$ .

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung sind in der Verzögerungseinrichtung ein zweites Verzögerungselement für niedrige Frequenzen des Eingangssignals und mindestens ein weiteres, zweites Verzögerungselement für hohe Frequenzen des Eingangssignals bereitgestellt. In vorteilhafter Weise kann die gleiche Verzögerungseinrichtung für niedrige und hohe Frequenzen verwendet werden, indem lediglich das zweite Verzögerungselement umgeschaltet wird.

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist die Verzögerungseinrichtung durch mindestens ein mittels einer Steuerspannung variiertes Kondensatorelement gebildet.

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung ist die Verzögerungseinrichtung durch mindestens einen mittels einer Steuerspannung variierten Strominverter gebildet. Gemäß noch einer weiteren bevorzugten Weiterbildung ist die Verzögerungseinrichtung durch eine Inverterkette gebildet.

Ferner weist das erfindungsgemäße Verfahren zum Bereitstellen von Taktsignalen in Schaltungseinheiten, wobei die Taktsignale innerhalb der Schaltungseinheiten auf ein externes Taktsignal bezogen zeitlich variabel vorgegeben werden, die folgenden Schritte auf:

- a) Bereitstellen einer variablen Zeitverzögerung zwischen einem Ausgangssignal und einem Eingangssignal einer Verzögerungseinrichtung mit einem ersten Verzögerungselement;
- b) Rückkoppeln des Ausgangssignals mit einer Rückkopplungseinrichtung, welcher das Ausgangssignal zugeführt wird, wobei die Rückkopplungseinrichtung ein zeitverzögertes, rückgekoppeltes Ausgangssignal ausgibt; und
- c) Erfassen einer Phasendifferenz zwischen dem Eingangssignal und dem rückgekoppelten Ausgangssignal mit einer Phasendifferenzfassungseinrichtung, welcher das Eingangssignal und das rückgekoppelte Ausgangssignal zugeführt werden, wobei die Phasendifferenzfassungseinrichtung ein Steuersignal zur Steuerung des ersten Verzögerungselementes in Abhängigkeit von der erfassten Phasendifferenz ausgibt, wobei die Frequenz des Eingangssignals mit einer Frequenzfassungseinheit erfasst wird, und mindestens ein in Reihe zu dem ersten Verzögerungselement geschaltetes zweites Verzögerungselement in Abhängigkeit von der erfassten Frequenz des Eingangssignals eingestellt wird.

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung wird zur Einstellung der Zeitverzögerung



des zweiten Verzögerungselementes durch die Frequenzerfassungseinheit die Zykluszeit der Verzögerungsregelvorrichtung mit einer vorgebbaren Anzahl von Verzögerungseinheiten des zweiten Verzögerungselementes verglichen. Zweckmäßigerweise beträgt die Anzahl der Verzögerungseinheiten des zweiten Verzögerungselementes acht.

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung wird die Verzögerungsregelvorrichtung vor einer Frequenzerfassung durch die Frequenzerfassungseinheit mit einem Rücksetzpuls zurückgesetzt.

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung wird ein Überlappungsbereich zwischen angrenzenden Erfassungsfrequenzbereichen bereitgestellt. Dieses bedeutet, dass die Verzögerungsregelschleife innerhalb des Überlappungsbereiches korrekt arbeitet, unabhängig davon, ob die Frequenzerfassungseinheit den hohen oder den niedrigen Frequenzbereich erfasst.

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung wird das Ausgangssignal bei einem Rückkoppeln in der Rückkopplungseinrichtung, welcher das Ausgangssignal zugeführt wird, um die Summe einer Empfängerzeitverzögerung und einer Treiberzeitverzögerung verzögert.

Gemäß noch einer weiteren bevorzugten Weiterbildung der vorliegenden Erfindung wird das von der Phasendifferenzfassungseinrichtung ausgegebene Steuersignal in einer Filterungseinrichtung der Verzögerungsregelvorrichtung gefiltert.

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

In den Zeichnungen zeigen:

Fig. 1 eine Veranschaulichung eines Lesens/Schreibens von Daten in einem dynamischen Schreib/Lesespeicher (DRAM) mit doppelter Datenrate (DDR, Double Data Rate);

5

Fig. 2 eine Verzögerungsregelvorrichtung mit Frequenzerfassungseinheit gemäß einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung;

10

Fig. 3 eine schematische Darstellung der in der als Verzögerungsregelschleife ausgebildeten Verzögerungsregelvorrichtung auftretenden Verzögerungszeiten;

15

Fig. 4 den zeitlichen Ablaufplan einer Verzögerungszeitregelung mit vorgeschalteter Frequenzerfassung;

20

Fig. 5 einen Überlappungsbereich zwischen einem niedrigen Erfassungsfrequenzbereich und einem hohen Erfassungsfrequenzbereich der Verzögerungsregelvorrichtung;

25

Fig. 6(a) ein Beispiel einer variablen Verzögerungseinrichtung auf der Basis eines variablen, spannungsabhängigen Kondensators;

Fig. 6(b) ein Beispiel einer Verzögerungseinrichtung auf der Basis eines mittels einer Steuerspannung variierten Strominverters;

30

Fig. 6(c) ein Beispiel einer Verzögerungseinrichtung auf der Basis einer Inverterkette;

35


Fig. 7(a) ein veranschaulichendes Beispiel einer Frequenzerfassungseinheit;

Fig. 7(b) ein Zeitverlaufdiagramm der in dem Schaltbild der Fig. 7(a) auftretenden Taktsignale;

Fig. 8 ein weiteres Beispiel einer Schaltungsanordnung zur Frequenzerfassung;

5 Fig. 9(a) ein Ablaufdiagramm bei niedrigen Frequenzen des Eingangssignals für die Schaltungsanordnung gemäß Fig. 7; und

10 Fig. 9(b) ein Ablaufdiagramm für hohe Frequenzen des Eingangssignals für die Schaltungsanordnung gemäß Fig. 7.

 In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Komponenten oder Schritte.

15

Fig. 1 veranschaulicht den Zweck des erfindungsgemäßen Verfahrens und der erfindungsgemäßen Vorrichtung an Hand einer Verzögerungsregelschleife zur Bereitstellung von Taktdaten in einem DRAM, welcher mit doppelter Datenrate (DDR) beschrieben bzw. ausgelesen wird. In Abhängigkeit von einem Taktsignal 220 sind unterschiedliche Taktflanken vorgegeben. Bei dem DDR-Verfahren werden gerade DDR-Daten 218 mit einer geraden DDR-Taktflanke 216 angesprochen, während ungerade DDR-Daten 219 mit einer ungeraden Taktflanke 217 angesprochen werden.

20

25 Es ist klar erkennbar, dass diese Taktflanken sehr präzise bezüglich des Datenstroms positioniert werden müssen, und nicht, wie beispielsweise in Fig. 1 links gezeigt, als asynchroner Datenstrom 221 auftreten dürfen.

25

30 Um eine flexible Taktsignalerzeugung für einen DRAM-Speicher bereitzustellen, und um insbesondere befähigt zu sein, in einem breiten Frequenzbereich von 50 MHz (20 ns) bis hin zu 500 MHz (2 ns) zu arbeiten, ist eine exakte Verzögerungseinstellung mit einer geeigneten Verzögerungsregelvorrichtung erforderlich.

35

Fig. 2 zeigt eine Verzögerungsregelvorrichtung gemäß einem bevorzugten Ausführungsbeispiel der vorliegenden Erfindung. Dargestellt ist hier die Eingabe eines Eingangssignals 103 in die Verzögerungsregelvorrichtung, welches von einem Datenstromempfänger (RCV), der nicht gezeigt ist, erhalten wird. Das Taktsignal wird nach der Verarbeitung in der Verzögerungsregelvorrichtung als ein Ausgangssignal 104 einer Treibereinrichtung (OCD, Off-Chip-Driver, nicht gezeigt) bereitgestellt. Die Zeitverzögerung des Eingangssignals 103 wird durch eine Verzögerungseinrichtung 100 durchgeführt, wobei die Verzögerungseinrichtung 100 ein erstes Verzögerungselement 101 und ein zweites Verzögerungselement 102 aufweist.

Das erste Verzögerungselement 101 ist als ein variables Verzögerungselement ausgebildet, welches in einer Verzögerungszeit durch ein Steuersignal 109 bzw. ein gefiltertes Steuersignal 109' variierbar ist. Das zweite Verzögerungselement 102 ist in seiner Verzögerungszeit in diskreten Schritten einstellbar und stellt eine grobe Zeitverzögerung bereit. Im Folgenden wird der Aufbau der Verzögerungsregelschleife bzw. der Verzögerungsregelvorrichtung kurz beschrieben werden. Das Ausgangssignal 104 wird über eine Rückkopplungseinrichtung 106 zurückgekoppelt. In der Rückkopplungseinrichtung 106 wird das Ausgangssignal 104 beispielsweise mit einer Zeitverzögerung beaufschlagt, welche der Summe einer Empfängerzeitverzögerung 201 und einer Treiberzeitverzögerung 203 entspricht, wie untenstehend unter Bezugnahme auf Fig. 3 erläutert werden wird.

Ein von der Rückkopplungseinrichtung 106 ausgegebenes, zeitverzögertes rückgekoppeltes Ausgangssignal 107 wird ebenso wie das ursprüngliche Eingangssignal 103 einer Phasendifferenzfassungseinrichtung 108 zugeführt. Die Phasendifferenzfassungseinrichtung 108 dient dazu, eine Phasendifferenz zwischen dem Eingangssignal 103 und dem rückgekoppelten Aus-

gangssignal 107 zu erfassen und ein von der Phasendifferenz abhängiges Steuersignal 109 auszugeben.

Wie in dem Ausführungsbeispiel gemäß Fig. 2 veranschaulicht, wird das Steuersignal 109 einer Filterungseinrichtung 111 zugeführt, welche das gefilterte Steuersignal 109' ausgibt. Das gefilterte Steuersignal 109' variiert das erste Verzögerungselement 101 solange, bis die Phasendifferenz zwischen dem Eingangssignal 103 und dem rückgekoppelten Ausgangssignal 107 aufgehoben ist. Die gesamte Verzögerungszeit bestimmt sich aus der Verzögerungszeit des ersten Verzögerungselementes 101 und der Verzögerungszeit des zweiten Verzögerungselementes 102. Das zweite Verzögerungselement 102 wird mittels eines Ausgangssignals einer Frequenzerfassungseinheit 110 eingestellt, d.h. eine zweite Verzögerungszeit in dem zweiten Verzögerungselement 102 wird in Abhängigkeit von einer in der Frequenzerfassungseinheit 110 erfassten Frequenz des Eingangssignals 103 eingestellt. Erfindungsgemäß ist es nun zweckmäßig, für unterschiedliche Frequenzbereiche, wie untenstehend unter Bezugnahme auf Fig. 5 beschrieben, unterschiedliche zweite Verzögerungselemente 102 bzw. unterschiedliche Verzögerungszeiten des zweiten Verzögerungselementes 102 bereitzustellen.

Wie untenstehend unter Bezugnahme auf Fig. 3 gezeigt, ist die Gesamtverzögerungszeit der Verzögerungsregelvorrichtung eine Funktion der Frequenz des Eingangssignals 103, so dass bei einem Frequenzwechsel bzw. einer Änderung der Frequenz des Eingangssignals 103 eine Änderung der Gesamtverzögerungszeit bereitgestellt werden muss.

Fig. 3 zeigt schematisch die Zusammensetzung der Gesamtverzögerungszeit 204. Die Gesamtverzögerungszeit ist die Summe einer in dem Datenstromempfänger vorhandenen Empfängerzeitverzögerung 201, der durch die der Verzögerungsregleinrichtung bereitgestellten variablen Zeitverzögerung 105, einer Daten-Pfadzeitverzögerung 202 und einer Treiberzeitverzöge-

rung 203, die von einer Zeitverzögerung zu/in den Off-Chip-Treiber herrührt. Die Gesamtzeitverzögerung ergibt sich somit durch die folgende Formel:

$$5 \quad T_{201} + T_{105} + T_{202} + T_{203} = N \cdot T_{\text{zyklus}(f)}.$$

Die Zykluszeit  $T_{\text{zyklus}}$  ist durch den externen Takt vorgegeben und eine Funktion der Frequenz des Eingangssignals 103; N ist eine ganze Zahl, d.h. die Zykluszeit  $T_{\text{zyklus}}$  muss einem Vielfachen der Gesamtzeitverzögerung 204 entsprechen.

Gemäß dem erfindungsgemäßen Verfahren wird nun eine Frequenz-  
 erfassung mittels einer Frequenzfassungseinheit 110 durch-  
 geführt, bevor der Betrieb der Verzögerungsregelschleife  
 beginnt.

Hierbei ist nicht die Kenntnis des exakten Wertes der Fre-  
 quenz des Eingangssignals 103 (siehe Fig. 2), sondern ledig-  
 lich die Größenordnung der Frequenz des Eingangssignals 103  
 wichtig. Das in der Fig. 2 gezeigte zweite Verzögerungsele-  
 ment 102 kann mehrfach vorhanden sein, beispielsweise für  
 eine Niedrigfrequenz (große Verzögerung) und eine hohe Fre-  
 quenz (kleine Verzögerung), um die Verzögerungsregelschleife  
 für einen breiten Frequenzbereich einzusetzen.

Vor einem Betriebsbeginn der Verzögerungsregelschleife wird,  
 wie in Fig. 4 veranschaulicht, eine Frequenzüberprüfung des  
 Eingangssignals 103 durchgeführt. Zu diesem Zweck wird die  
 Verzögerungsregelvorrichtung zunächst mit einem Rücksetzpuls  
 209 zurückgesetzt, um einen Frequenzfassungsstart 206 be-  
 reitzustellen. An dem Frequenzfassungsende 207 beginnt der  
 Verzögerungsregelbetrieb 208. Nach jedem Rücksetzpuls 209  
 wird eine neue Frequenzfassung mittels der Frequenzfas-  
 sungseinheit 110 durchgeführt.

Wie obenstehend erwähnt, können beispielsweise zwei unter-  
 schiedliche zweite Verzögerungselemente 102 bereitgestellt

werden, um einen niedrigen Frequenzbereich und einen hohen Frequenzbereich abzudecken, wie in Fig. 5 schematisch dargestellt. Zwei unterschiedliche Frequenzerfassungsbereiche 211, 212 überlappen sich in einem Überlappungsbereich 210, welcher bei einem Frequenzbereich 214 überstreicht. Der erste Erfassungsfrequenzbereich 211 liegt somit zwischen einer Niedrigfrequenz 213 und der oberen Grenze des Zwischenfrequenzbereiches 214, während der zweite Erfassungsfrequenzbereich 212 zwischen der unteren Grenze des Zwischenfrequenzbereiches 214 und der Hochfrequenz 215 liegt. Die beiden Frequenzbereiche werden durch zwei unterschiedliche zweite Verzögerungselemente 102 abgedeckt. Im Überlappungsbereich sind beide Einstellungen des zweiten Verzögerungselementes 102 gültig.

In den Fig. 6(a) bis 6(c) sind unterschiedliche Schaltungsanordnungen zur Bereitstellung einer variablen Zeitverzögerung veranschaulicht. Fig. 6(a) zeigt eine Verzögerungseinrichtung 100, welche durch zwei mittels einer Steuerspannung 304 angesteuerte Kondensatorelemente 305 gebildet ist. Die Kondensatorelemente sind jeweils zwischen den Verbindungspunkten einzelner Inverterelemente 301 und 302 und Masse verbunden, wobei die Inverterelemente 301, 302 etc. eine Inverterkette bilden. Durch die Anlegung der Steuerspannung 304 ergibt sich eine variable Kapazität der Kondensatorelemente 305, welche in Kombination mit der Inverterkette der Inverter 301, 302 etc. eine zeitliche Verzögerung des Ausgangssignals 104 bezogen auf das Eingangssignal 103 bereitstellen.

Fig. 6(b) zeigt schematisch eine Schaltungsanordnung eines Strominverters, welcher mittels Steuerspannungen 304 und 306 variiert wird. Die Wirkung der Schaltungsanordnung gemäß Fig. 6(b) ist ähnlich zu jener der in Fig. 6(a) gezeigten, wobei das Ausgangssignal 104 gegenüber dem Eingangssignal 103 in Abhängigkeit von den Steuerspannungen 304 und 306 zeitlich verzögert wird. Fig. 6(c) zeigt eine weitere Variante einer fest vorgebbaren Zeitverzögerung durch eine Inverterkette, wobei unterschiedliche und unterschiedlich verzögerte Aus-

gangssignale 104 bzw. 104a aus einem Eingangssignal 103 gewonnen werden, indem Inverterelemente 301, 302 und 303 kombiniert werden.

5 Im folgenden wird eine Schaltungsanordnung beschrieben, die zur Frequenzmessung verwendet werden kann. Die Beschreibung erfolgt anhand der Fig. 7 bis 9. Die Fig. 7(a) und 7(b) veranschaulichen die erste Teilschaltung und deren Ablaufdiagramm. Ein Takteingangssignal 403 und ein invertiertes Takteingangssignal 404 werden jeweils direkt und über  
10 eine Inverterkette 401 bzw. 402 den beiden Eingängen eines NAND-Gatters 409 bzw. 410 zugeführt. Die Ausgänge der beiden NAND-Gatter werden den beiden NAND-Gattern 407 und 408 eines Verriegelungsgatters 413 zugeführt, welches ein Taktausgangssignal 405 und ein invertiertes Taktausgangssignal 406 be-  
15 reitstellt. Unter Bezugnahme auf Fig. 7(b) wird die Funktion der Schaltungsanordnung gemäß Fig. 7(a) erläutert werden. NAND-Gatter 409 erzeugt zusammen mit Inverterkette 401 einen kurzen Ausgangspuls vom 0-Pegel. Dieser Puls setzt das Verriegelungsgatter 413 im Ausgangssignal 405 auf den 1-Pegel.  
20 Mit Hilfe von NAND-Gatter 410 und Inverterkette 402 wird danach durch die steigende Flanke des invertierten Eingangstaktes 404 das Verriegelungsgatter 413 wieder zurückgesetzt. Das Ausgangssignal 405 wird zum 0-Pegel. Das Verriegelungsgatter ändert seinen logischen Zustand damit jeweils bei  
25 einem Auftreten positiver Flanken des Takteingangssignals 403 einerseits und des invertierten Takteingangssignals 404 andererseits, arbeitet also als ein flankengesteuertes Verriegelungsgatter.

30

Die Schaltung nach Fig. 7 wird nun zu einer Frequenzerfassungseinheit 110 erweitert, wie in Fig. 8 beschrieben. Dazu wird ein Takteingangssignal 403 einer Referenzverzögerungseinrichtung 412 zugeführt. Das verzögerte Takteingangssignal  
35 414 wird zusammen mit einem invertierten Takteingangssignal 404 einem flankengesteuerten Verriegelungsgatter 411 (nach Fig. 7) zugeleitet. Der Ausgang 415 des flankengesteuerten



Verriegelungsgatters 411 wird auf ein konventionelles D-Flip-Flop geleitet, dessen Takteingang 416 mit dem nicht-verzögerten Eingangssignal 403 verbunden ist. Das Ausgangssignal des Verriegelungsgatters 413 stellt wiederum eine

5 Information über die Flankendifferenzzeit 417 bereit.

Es sei darauf hingewiesen, dass die Referenzverzögerungseinrichtung aus einzelnen Referenzverzögerungselementen 412a, 412b, 412c und 412d, beispielsweise vier, besteht.

10

Zur Bestimmung der Flankendifferenzzeit 417 werden im Folgenden zwei Betriebszustände betrachtet, wie in Fig. 9(a) für niedrige Frequenzen und in Fig. 9(b) für hohe Frequenzen veranschaulicht. Bei der niedrigen Frequenz (Fig. 9(a)) ist

15 die Verzögerung zwischen der ansteigenden Flanke des Takteingangssignals 403 und der ansteigenden Flanke des invertierten Takteingangssignals 404 größer als die feste Verzögerung, wie an Hand des verzögerten Takteingangssignals 414 erkennbar ist. Somit tritt das Ereignis (i), nämlich das Ansteigen der

20 Flanke des verzögerten Takteingangssignals 414 vor dem Ereignis (ii), nämlich dem Ansteigen der Taktflanke des invertierten Takteingangssignals 404 auf. Das Ausgangssignal 415 des flankengesteuerten Verriegelungsgatters 411 wird damit durch das verzögerte Takteingangssignal 414 auf den 0-Pegel ge-

25 schaltet, und danach von der steigenden Flanke des invertierten Takteingangssignales 404 wieder auf den 1-Pegel umgeschaltet. Im D-Flip-Flop 413 wird der Zustand des Signales 415 mit steigender Flanke des Takteingangssignales 403 eingetaktet. Im Falle der niedrigen Frequenz ist dieser Zustand

30 nach Fig. 9 (a) der 1-Pegel. Das Ausgangssignal 417 des D-Flip-Flops 413 ist damit im Falle niedriger Frequenz ein statischer 1-Pegel.

Bei der hohen Frequenz (Fig. 9(b)) tritt das Ereignis (i) nach dem Ereignis (ii) auf. Damit schaltet im Falle hoher Frequenz das Ausgangssignal 415 zuerst auf den 1-Pegel und danach auf den 0-Pegel. Zum Zeitpunkt des Eintaktens des

35

Ausgangssignales 415 in das D-Flip-Flop 414, der durch die steigende Flanke des Eingangstaktes 403 gegeben ist, besitzt das Ausgangssignal 415 den 0-Pegel. Das Ausgangssignal 417 des D-Flip-Flops 413 ist damit im Falle hoher Frequenz ein statischer 0-Pegel.

Damit ist eine Schaltung bereitgestellt, die in einfacher Weise erlaubt, die Betriebsfrequenz in Bereiche hoher Frequenz und niedriger Frequenz aufzuspalten. Kombinationen dieser Schaltung würden es durch Anpassung der Verzögerung 412 auch erlauben, eine feinere Aufspaltung durchzuführen, falls dieses gewünscht ist.

Das heißt, dass die Verzögerungsregelvorrichtung bei der Erfassung niedriger Frequenzen in ihrem zweiten Verzögerungselement 102 eine große Zeitverzögerung einstellt, während die Verzögerungsregelvorrichtung für hohe Frequenzen in ihrem zweiten Verzögerungselement 102 eine niedrige Zeitverzögerung einstellt. Auf diese Weise lassen sich Verzögerungsregelschleifen an einen breiten Frequenzbereich des Eingangssignals in vorteilhafter Weise anpassen.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Weise modifizierbar.

Auch ist die Erfindung nicht auf die genannten Anwendungsmöglichkeiten beschränkt.

## Patentansprüche

1. Verzögerungsregelvorrichtung zur Bereitstellung von Taktsignalen in Schaltungseinheiten, wobei die Taktsignale innerhalb der Schaltungseinheiten auf ein externes Taktsignal bezogen zeitlich variabel vorgebar sind, mit:

a) einer Verzögerungseinrichtung (100), umfassend ein erstes Verzögerungselement (101) zur Bereitstellung einer variablen Zeitverzögerung (105) zwischen einem Ausgangssignal (104) und einem Eingangssignal (103) des ersten Verzögerungselements (101);

b) einer Rückkopplungseinrichtung (106), welcher das Ausgangssignal (104) zugeführt wird, zur Rückkopplung des Ausgangssignals (104), wobei die Rückkopplungseinrichtung (106) ein zeitverzögertes, rückgekoppeltes Ausgangssignal (107) ausgibt; und

c) einer Phasendifferenzerfassungseinrichtung (108), welcher das Eingangssignal (103) und das rückgekoppelte Ausgangssignal (107) zugeführt werden, zur Erfassung einer Phasendifferenz zwischen dem Eingangssignal (103) und dem rückgekoppelten Ausgangssignal (107), wobei die Phasendifferenzerfassungseinrichtung ein Steuersignal (109) zur Steuerung des ersten Verzögerungselements (101) in Abhängigkeit von der erfassten Phasendifferenz ausgibt;

d a d u r c h   g e k e n n z e i c h n e t ,  
dass die Verzögerungsregelvorrichtung weiter aufweist:

d) mindestens ein in Reihe zu dem ersten Verzögerungselement (101) geschaltetes zweites Verzögerungselement (102); und

e) eine Frequenzerfassungseinheit (110) zur Erfassung der Frequenz des Eingangssignals (103), wobei das zweite Verzögerungselement (102) in Abhängigkeit von der erfassten Frequenz des Eingangssignals (103) einstellbar ist.

2. Vorrichtung nach Anspruch 1,  
dadurch gekennzeichnet, )  
dass die Verzögerungsregelvorrichtung eine Filterungseinrichtung (111) zur Filterung des von der Phasendifferenz-  
5 erfassungseinrichtung (108) ausgegebenen Steuersignals (109) aufweist.
3. Vorrichtung nach Anspruch 1,  
10 dadurch gekennzeichnet,  
dass die Rückkopplungseinrichtung (106) eine Zeitverzögerung aufweist, die der Summe einer Empfängerzeitverzögerung (201) und einer Treiberzeitverzögerung (203) entspricht.
- 15 4. Vorrichtung nach Anspruch 1,  
dadurch gekennzeichnet,  
dass in der Verzögerungseinrichtung (100) ein zweites Verzögerungselement (102) für niedrige Frequenzen des Eingangssignals (103) und mindestens ein weiteres zweites Verzögerungs-  
20 element (102) für hohe Frequenzen des Eingangssignals (103) bereitgestellt sind.
5. Vorrichtung nach Anspruch 1,  
dadurch gekennzeichnet,  
25 dass die Verzögerungseinrichtung (100) durch mindestens ein mittels einer Steuerspannung (304) variiertes Kondensatorelement (305) gebildet ist.
6. Vorrichtung nach Anspruch 1,  
30 dadurch gekennzeichnet,  
dass die Verzögerungseinrichtung (100) durch mindestens einen mittels einer Steuerspannung (304) variierten Strominverter gebildet ist.
- 35 7. Vorrichtung nach Anspruch 1,  
dadurch gekennzeichnet,

dass die Verzögerungseinrichtung (100) durch eine Inverterkette gebildet ist.

5 8. Frequenzerfassungseinheit (110) mit:

a) einer Verzögerungseinheit (412)

b) einem flankengesteuertem Verriegelungsgatter (411),  
dessen Eingänge durch das verzögerte Eingangstaktsignal (414)  
10 und invertiertem Eingangstaktsignal (404) angesteuert werden  
und

c) einem D-Flip-Flop (413), dessen Takteingang mit dem  
unverzögerten Eingangstakt (403) und dessen Dateneingang mit  
15 dem Ausgangssignal (415) des flankengesteuerten Verriegelungsgatters (411) verbunden ist.

9. Frequenzerfassungseinheit nach Anspruch 8, dessen Verzögerungseinheit (412) aus verschiedenen Einheiten einer Referenzverzögerung der Verzögerungsregelschleife aufgebaut ist.  
20

10. Verfahren zum Bereitstellen von Taktsignalen in Schaltungseinheiten, wobei die Taktsignale innerhalb der Schaltungseinheiten auf ein externes Taktsignal bezogen zeitlich  
25 variabel vorgeben werden, mit den folgenden Schritten:

a) Bereitstellen einer variablen Zeitverzögerung (105) zwischen einem Ausgangssignal (104) und einem Eingangssignal (103) einer Verzögerungseinrichtung (100) mit einem ersten  
30 Verzögerungselement (101);

b) Rückkoppeln des Ausgangssignals (104) mit einer Rückkopplungseinrichtung (106), welcher das Ausgangssignal (104) zugeführt wird, wobei die Rückkopplungseinrichtung (106) ein  
35 zeitverzögertes, rückgekoppeltes Ausgangssignal (107) ausgibt; und

c) Erfassen einer Phasendifferenz zwischen dem Eingangssignal (103) und dem rückgekoppelten Ausgangssignal (107) mit einer Phasendifferenzerfassungseinrichtung (108), welcher das Eingangssignal (103) und das rückgekoppelte Ausgangssignal (107) zugeführt werden, wobei die Phasendifferenzerfassungseinrichtung ein Steuersignal (109) zur Steuerung des ersten Verzögerungselements (101) in Abhängigkeit von der erfassten Phasendifferenz ausgibt;

d a d u r c h g e k e n n z e i c h n e t ,  
dass

d) die Frequenz des Eingangssignals (103) mit einer Frequenzerfassungseinheit (110) erfasst wird; und

e) mindestens ein in Reihe zu dem ersten Verzögerungselement (101) geschaltetes zweites Verzögerungselement (102) in Abhängigkeit von der erfassten Frequenz des Eingangssignals (103) eingestellt wird.

11. Verfahren nach Anspruch 10,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass zur Einstellung der Zeitverzögerung des zweiten Verzögerungselements (102) durch die Frequenzerfassungseinheit (110) die Zykluszeit des Eingangstaktes mit einer vorgebbaren Anzahl von Verzögerungseinheiten (205) des zweiten Verzögerungselements (102) verglichen wird.

12. Verfahren nach Anspruch 11,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Anzahl der Verzögerungseinheiten (205) des zweiten Verzögerungselements (102) acht beträgt.

13. Verfahren nach Anspruch 10,  
d a d u r c h g e k e n n z e i c h n e t ,  
dass die Verzögerungsregelvorrichtung vor einer Frequenzerfassung durch die Frequenzerfassungseinheit (110) mit einem Rücksetzpuls (209) zurückgesetzt wird.

14. Verfahren nach Anspruch 10,

d a d u r c h g e k e n n z e i c h n e t ,

dass ein Überlappungsbereich (210) zwischen angrenzenden

5 Erfassungsfrequenzbereichen (211, 212) bereitgestellt wird.

15. Verfahren nach Anspruch 10,

d a d u r c h g e k e n n z e i c h n e t ,

dass das Ausgangssignal (104) bei einem Rückkoppeln in der

10 Rückkopplungseinrichtung (106), welcher das Ausgangssignal

(104) zugeführt wird, um die Summe einer Empfängerzeitverzö-

gerung (201) und einer Treiberzeitverzögerung (203) verzögert

wird.

15 16. Verfahren nach Anspruch 10,

d a d u r c h g e k e n n z e i c h n e t ,

dass das von der Phasendifferenzerfassungseinrichtung (108)

ausgegebene Steuersignal (109) in einer Filterungseinrichtung

(111) der Verzögerungsregelvorrichtung gefiltert wird.

## Zusammenfassung

Verzögerungsregelschleife und Verfahren zur Verzögerungsregelung

5

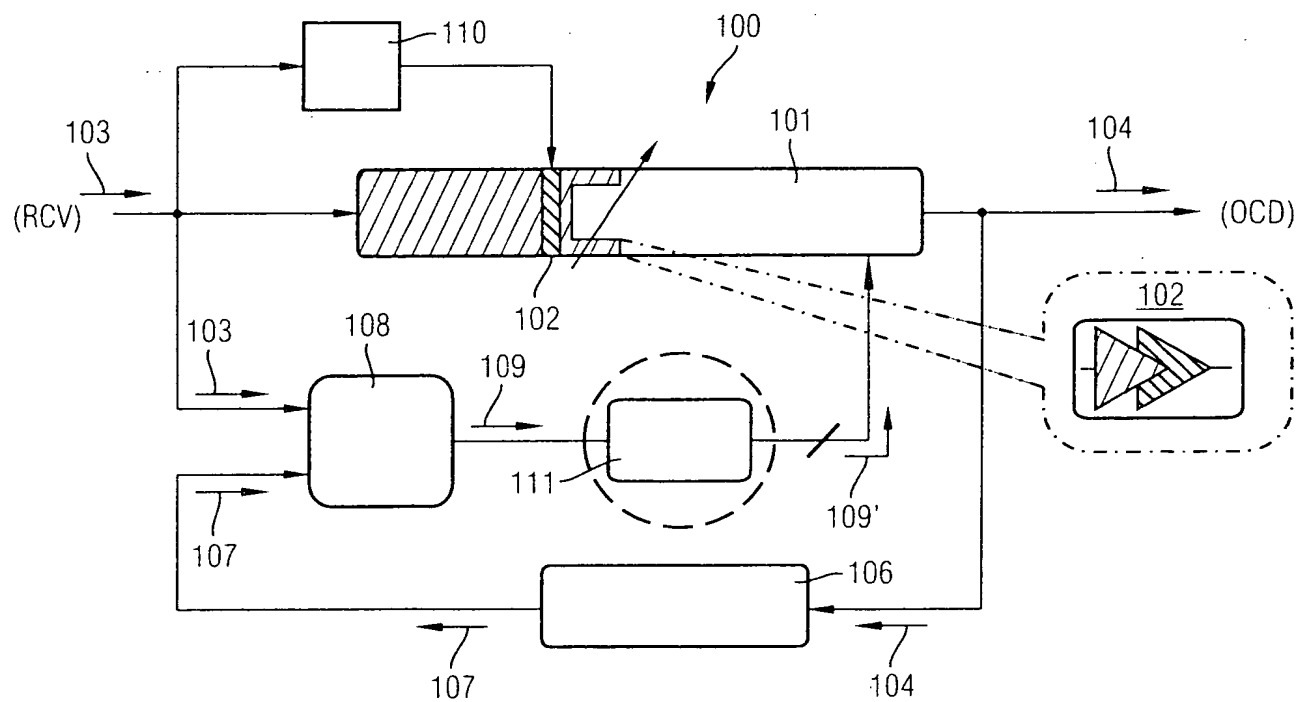
Die Erfindung schafft eine Verzögerungsregelvorrichtung zur Bereitstellung von Taktsignalen in Schaltungseinheiten mit einer Verzögerungseinrichtung (100), umfassend ein erstes Verzögerungselement (101) zum Bereitstellen einer variablen  
10 Zeitverzögerung (105) zwischen einem Ausgangssignal (104) und einem Eingangssignal (103) des ersten Verzögerungselementes (101), einer Rückkopplungseinrichtung (106) zur Rückkopplung des Ausgangssignals (104) und einer Phasendifferenzerfassungseinrichtung (108) zur Erfassung einer Phasendifferenz  
15 zwischen dem Eingangssignals (103) und dem rückgekoppelten Ausgangssignal (107). Die Phasendifferenzerfassungseinrichtung gibt ein Steuersignal (109) zur Steuerung des ersten Verzögerungselementes (101) in Abhängigkeit von der erfassten Phasendifferenz aus, während ein weiteres, in Reihe zu dem  
20 ersten Verzögerungselement (101) geschaltetes zweites Verzögerungselement (102) eine zusätzliche Verzögerung in Abhängigkeit von einer von einer Frequenzerfassungseinheit (110) erfassten Frequenz des Ausgangssignals (103) eingestellt wird.

5

(Fig. 2)



FIG 2



## Bezugszeichenliste

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Komponenten oder Schritte.

5

100	Verzögerungseinrichtung
101	erstes Verzögerungselement
102	zweites Verzögerungselement
103	Eingangssignal
104,	Ausgangssignal
104a	
105	variable Zeitverzögerung
106	Rückkopplungseinrichtung
107	rückgekoppeltes Ausgangssignal
108	Phasendifferenzfassungseinrichtung
109	Steuersignal
109'	gefiltertes Steuersignal
110	Frequenzerfassungseinheit
111	Filterungseinrichtung
201	Empfängerzeitverzögerung
202	Pfadzeitverzögerung
203	Treiberzeitverzögerung
204	Gesamtzeitverzögerung
205	Verzögerungseinheiten
206	Frequenzerfassungsstart
207	Frequenzerfassungsende
208	Verzögerungsregelbetrieb
209	Rücksetzpuls
210	Überlappungsbereich
211,	Erfassungsfrequenzbereiche
212	

213	Niedrigfrequenz
214	Zwischenfrequenz
215	Hochfrequenz
216	gerade DDR-Taktflanke
217	ungerade DDR-Taktflanke
218	gerade DDR-Daten
219	ungerade DDR-Daten
220	Taktsignal
221	asynchroner Datenstrom
301,	Inverterelement
302,	
303	
304	Steuerspannung
305	Variables Kondensatorelement
306	Festspannung
401,	Inverterelementbank
401	
403	Takteingangssignal
404	invertiertes Takteingangssignal
405	Taktausgangssignal
406	invertiertes Taktausgangssignal
407 -	NAND-Gatter
410	
411	Taktgenerator
412	Referenzverzögerungseinrichtung
412a -	Referenzverzögerungselemente
412d	
413	Verriegelungsgatter
414	Verzögertes Takteingangssignal
415	Taktgenerator-Ausgangssignal
416	Gattersignal

417 Flankendifferenzzeit

FIG 1

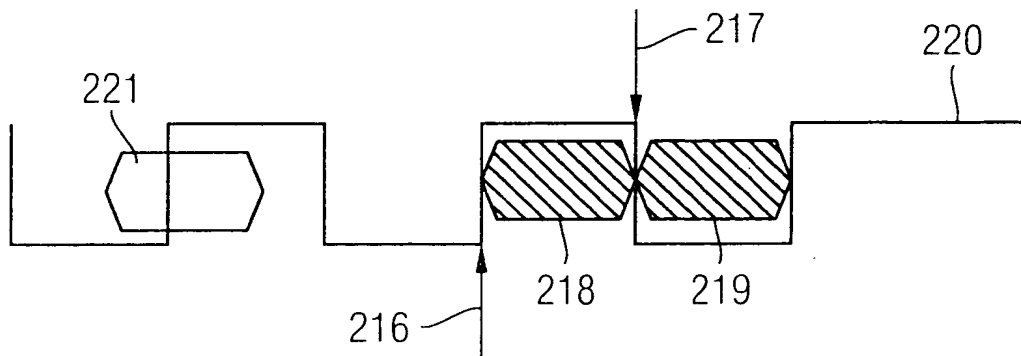


FIG 2

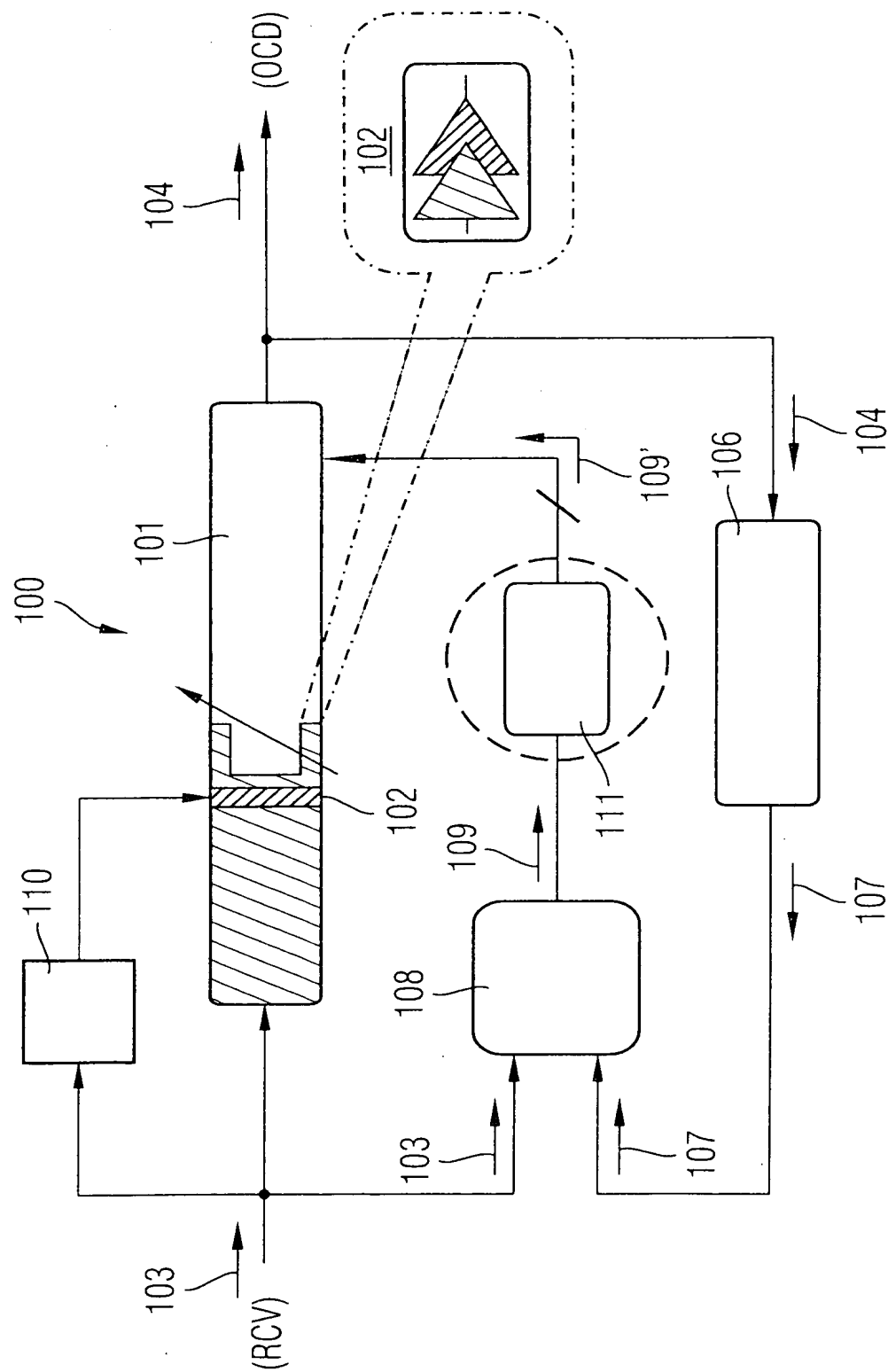


FIG 3

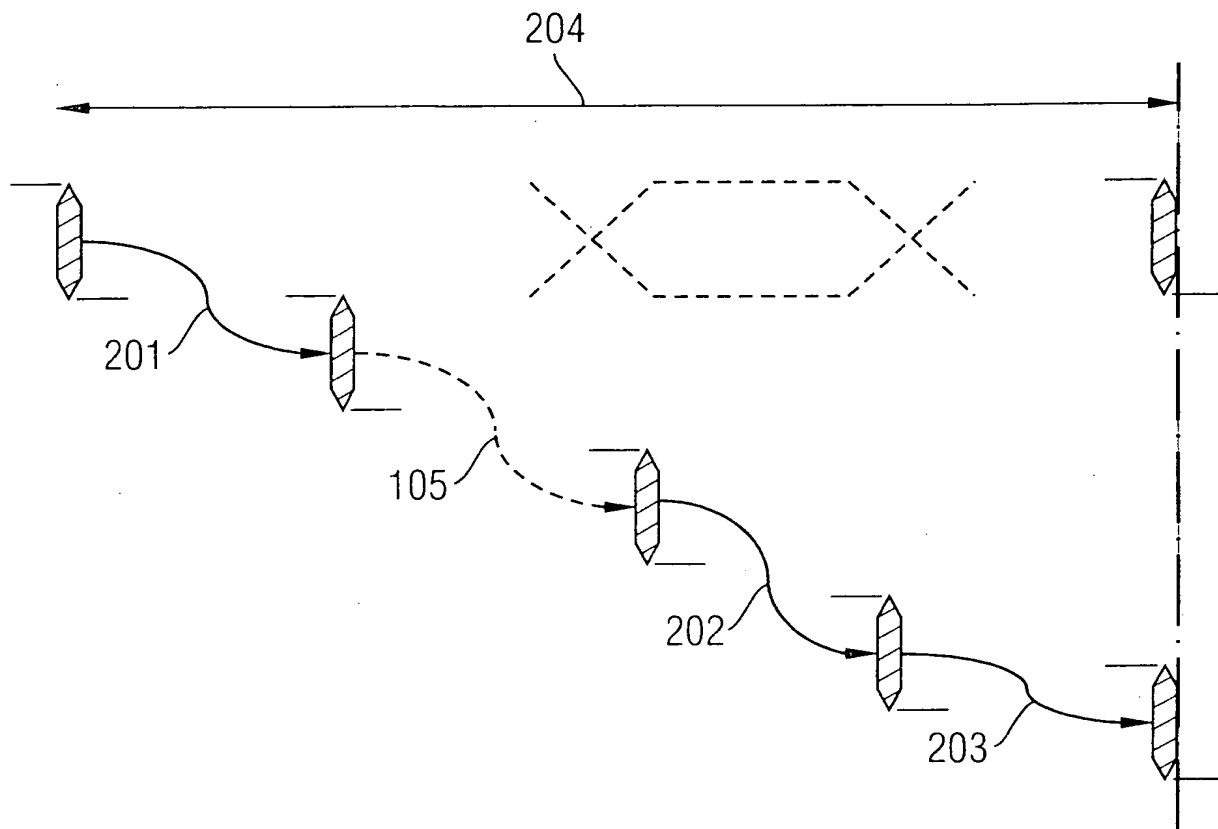


FIG 4

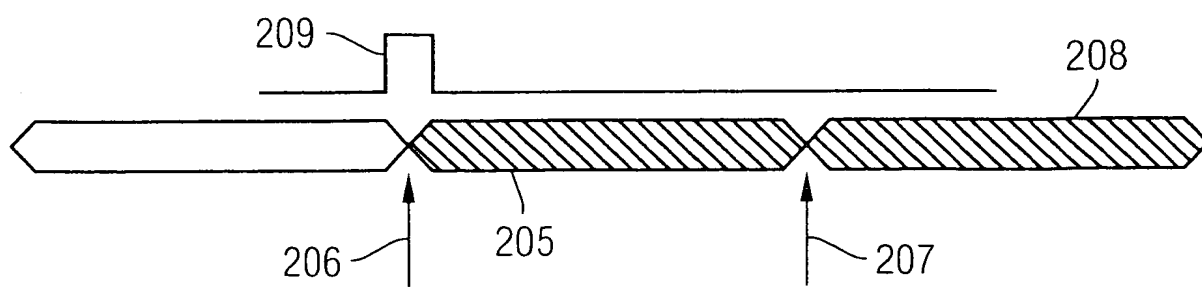


FIG 5

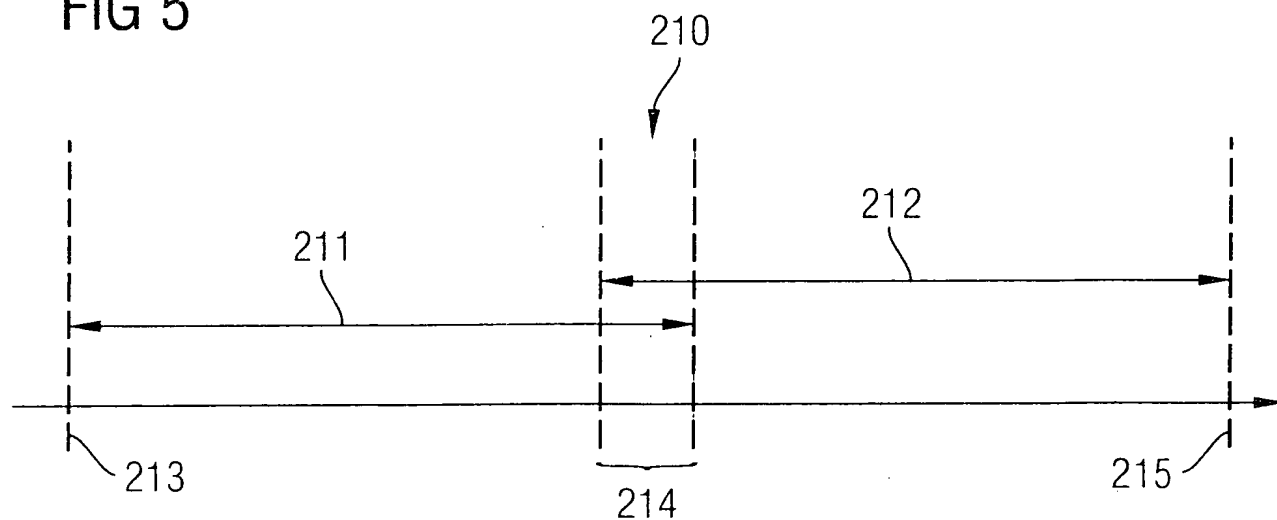


FIG 6A

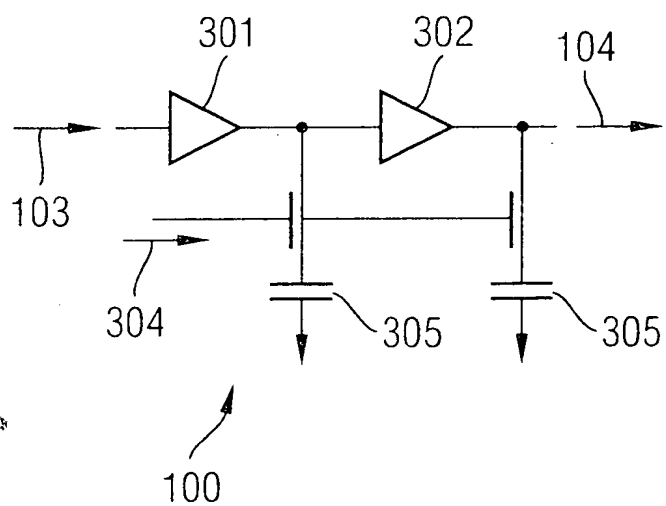


FIG 6B

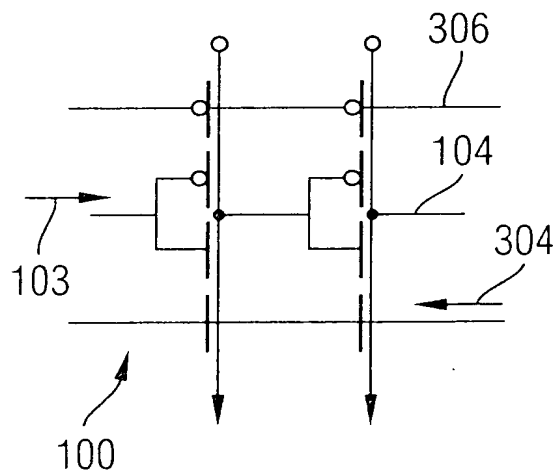


FIG 6C

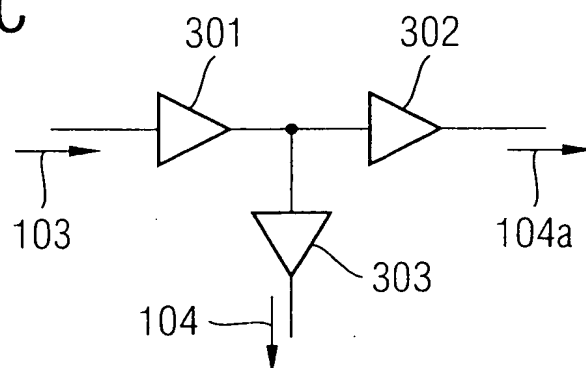




FIG 7A

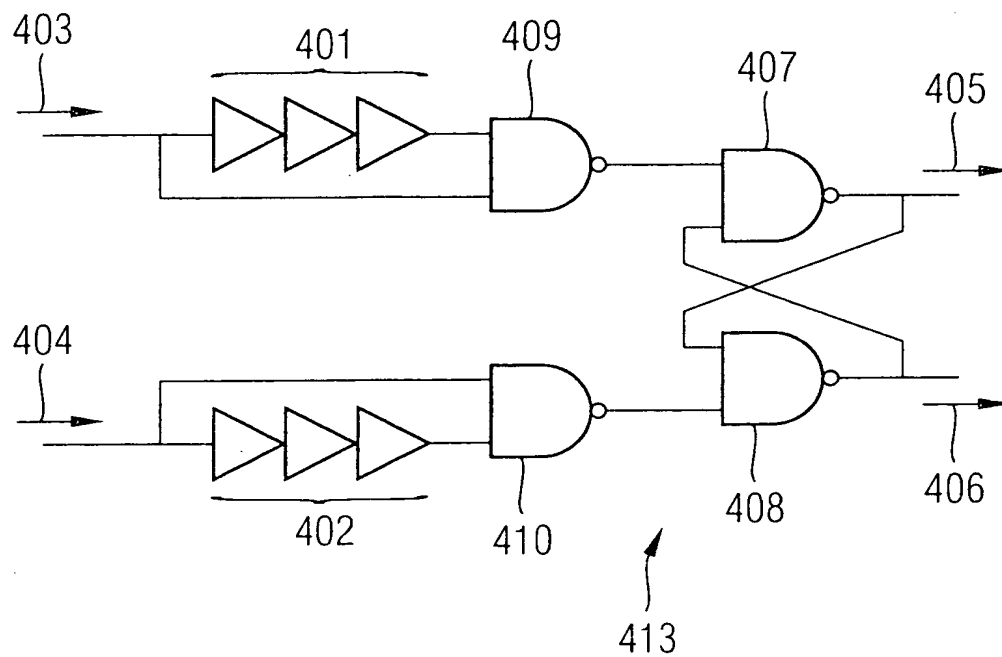


FIG 7B

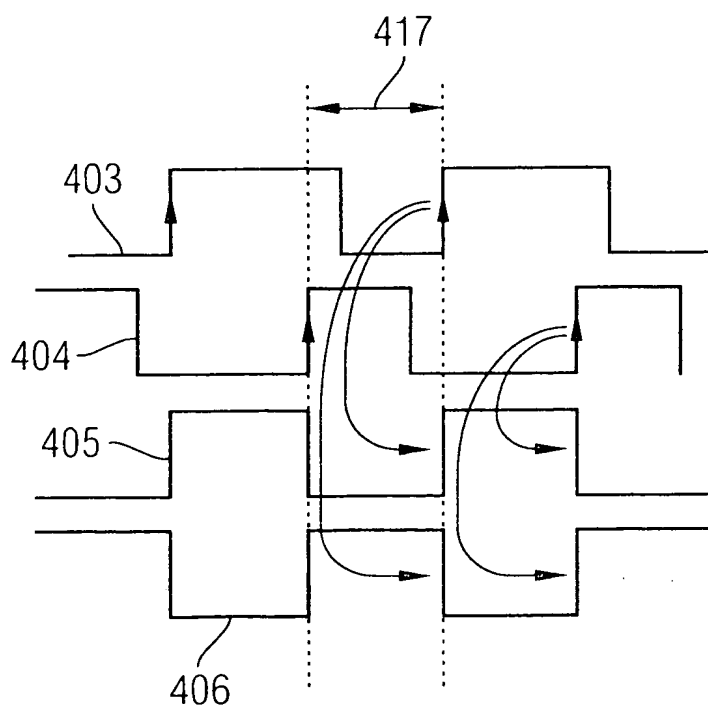


FIG 8

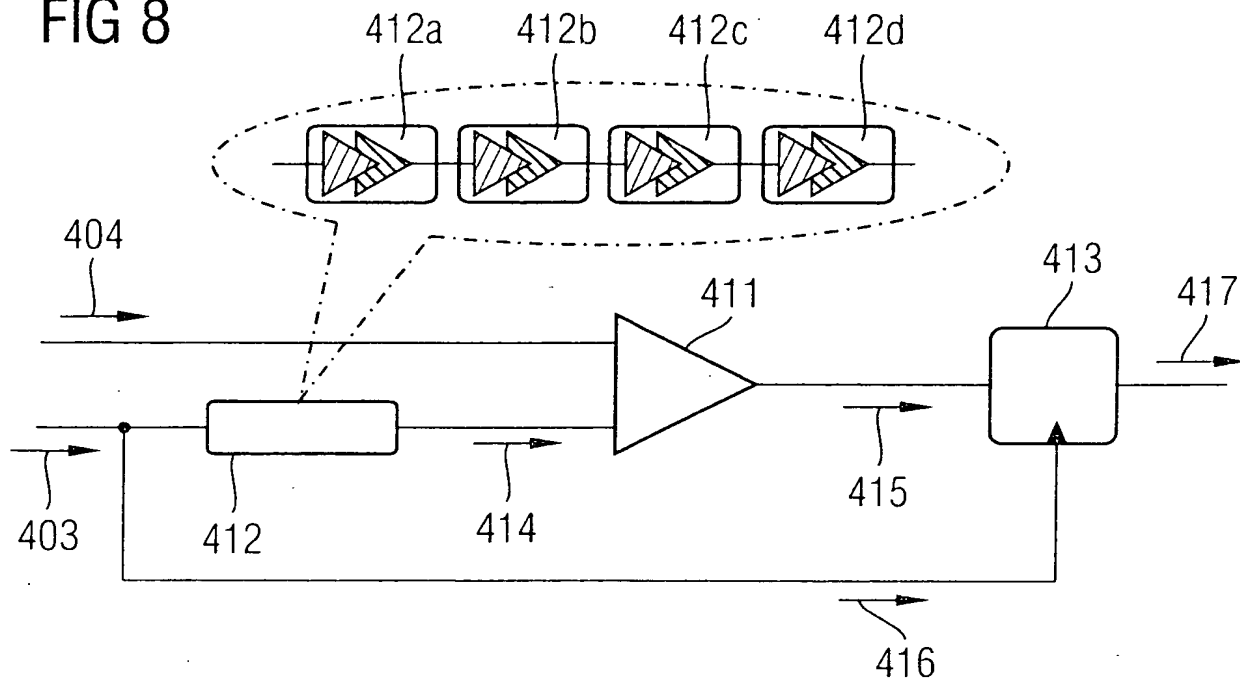


FIG 9A

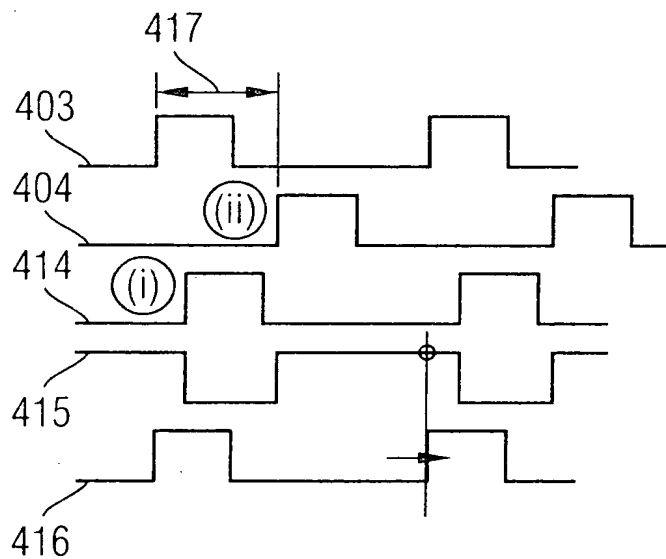


FIG 9B

